

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-340663

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl.<sup>8</sup>  
H 0 1 H 85/04  
// H 0 3 K 3/356

識別記号

F I  
H 0 1 H 85/04  
H 0 3 K 3/356

A

審査請求 有 請求項の数 7 O L (全 4 頁)

(21) 出願番号 特願平10-54824  
(22) 出願日 平成10年(1998) 3 月 6 日  
(31) 優先権主張番号 9 7 0 2 9 5 1  
(32) 優先日 1997年3月7日  
(33) 優先権主張国 フランス (F R)

(71) 出願人 591095720  
エスターミクロエレクトロニクス ソシエ  
テ アノニム  
SGS-THOMSON MICROEL  
ECTRONICS SOCIETE A  
NONYME  
フランス国 94250 ジャンティイ アヴ  
ニュガリエニ 7  
(74) 代理人 弁理士 深見 久郎 (外3名)

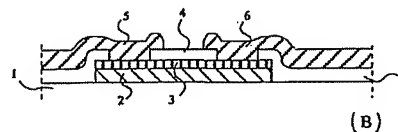
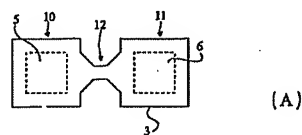
最終頁に続く

(54) 【発明の名称】 擬似ヒューズおよび擬似ヒューズを用いた回路

(57) 【要約】

【課題】 第1の低い抵抗の状態および第2のより高い抵抗の状態を有し、電流の通過の際、第1の状態から第2の状態へ切換えができる素子である擬似ヒューズの実現を提供する。

【解決手段】 この発明は、誘電体層(4)でコーティングされた狭くなった部分を含むシリサイド領域でコーティングされたシリコン領域(2)を2つのコンタクト(5, 6)の間に含む擬似ヒューズ(21)に関する。



## 【特許請求の範囲】

【請求項1】 誘電体層（4）でコーティングされた狭くなったセクションの部分（12）を含むシリサイド領域（3）でコーティングされたシリコン領域（2）を2つのコンタクト（5、6）の間に含む、擬似ヒューズ。

【請求項2】 前記誘電体（4）は酸化シリコンである、請求項1に記載の擬似ヒューズ。

【請求項3】 前記シリサイド（3）はチタンシリサイドである、請求項1に記載の擬似ヒューズ。

【請求項4】 前記シリコン領域（2）はドーパしたポリシリコンである、請求項1に記載の擬似ヒューズ。

【請求項5】 双安定ラッチ（20）のパワーオンの際、定められた状態にセットするための請求項1に記載の擬似ヒューズを用いた回路であって、前記擬似ヒューズ（21）は双安定ラッチの分岐に置かれ、前記擬似ヒューズの高い値と低い値との中間の、定められた値の抵抗器（22）が別の分岐に置かれる、回路。

【請求項6】 前記双安定ラッチは、分岐の各々にNチャネルトランジスタと直列に接続するPチャネルトランジスタを含み、第1の分岐のトランジスタ（P1、N1）のゲートは第2の分岐のトランジスタの接続ノード（B）に接続され、前記第2の分岐のトランジスタ（P2、N2）のゲートは前記第1の分岐のトランジスタの接続ノード（A）に接続される、請求項5に記載の回路。

【請求項7】 前記双安定ラッチを再プログラムするための手段（P3、N3）を含む、請求項5または請求項6に記載の回路。

## 【発明の詳細な説明】

【0001】

【発明の背景】この発明は一般的に電気回路に関する。

【0002】

【発明の概要】この発明の狙いは擬似ヒューズを実現することであり、擬似ヒューズとは、第1の低い抵抗の状態と、第2のより高い抵抗の状態とを有し、電流の通過の際、第1の状態から第2の状態へ切換えができる素子である。

【0003】また、この発明の狙いは、このような擬似ヒューズを、擬似ヒューズの状態に応じてパワーオンの際にその第1または第2の状態に自動的にプログラムされる双安定ラッチの実現例に応用することである。

【0004】この目的および他の目的を達成するため、この発明は、誘電体層でコーティングされた狭くなった断面領域を有する部分を含むシリサイド領域でコーティングされたシリコン領域を2つのコンタクトの間に含む擬似ヒューズを提供する。

【0005】この発明の一実施例によれば、誘電体は酸化シリコンである。この発明の一実施例によれば、シリサイドはチタンシリサイドである。

【0006】この発明の一実施例によれば、シリコン領

域はドーパしたポリシリコンである。

【0007】この発明はまた、パワーオンの際に双安定ラッチを定められた状態にセットするための、回路の実現例へのこのような擬似ヒューズの応用であって、擬似ヒューズが双安定ラッチの分岐に置かれ、擬似ヒューズの高い値と低い値との中間の、定められた値の抵抗器が別の分岐に置かれるような応用を含む。

【0008】この発明の一実施例によれば、双安定ラッチは、第1の分岐のトランジスタのゲートが第2の分岐のトランジスタの接続ノードに接続され、第2の分岐のトランジスタのゲートが第1の分岐のトランジスタの接続ノードに接続されるような、Nチャネルトランジスタと直列に接続するPチャネルトランジスタを分岐の各々において含む。

【0009】この発明の一実施例によれば、回路は双安定ラッチを再プログラムするための手段を含む。

【0010】この発明の前述の目的、特徴、および利点は、添付の図面に関連して以下の特定の実施例の非限定的な説明において詳しく検討する。

【0011】

【詳細な説明】図1（A）および図1（B）の実施例において、この発明による擬似ヒューズは分離層1の上に形成され、ポリシリコン領域2を含み、ポリシリコン領域2の上表面3はシリサイド化される。

【0012】アセンブリは誘電体4の層でコーティングされており、メタライゼーション5および6によってコンタクトを確立するように開口部が形成される。これらの開口部はシリサイド層3の上表面から離れた位置に形成される。

【0013】図1（A）の平面図では、領域2および3は全体に、メタライゼーション5および6とのコンタクトのパッドとして用いられる可能性の高い2つの外部部分10および11と、狭くなった断面領域を有する中央部分12とを含むことがわかるであろう。示されている実施例では、狭くなったセクションは領域2および3の双方の幅の狭くなった部分に対応する。1つのシリサイド領域の厚さの減じられたまたは狭くされたシリサイド領域もまた提供することができる。

【0014】領域2はポリシリコン層として規定されている。これはシリコン基板の上表面であってもよい。この領域2は所望の導電型に従ってドーパされ、コンタクト5とコンタクト6との間の選択された抵抗率と定められた抵抗とを示す。

【0015】シリサイド3は、チタンシリサイドなどの耐熱性の金属シリサイドであり、この発明におけるその必須の特徴は、シリコンの融点より低い融点を有することである。

【0016】誘電体層4は、たとえば酸化シリコン層である。このように、構造が図1（B）に示される状態にある場合、実質的にシリサイド領域の高い導電率のた

め、第1の低い抵抗率を有する。この状態をブランク状態と呼ぶ。

【0017】高い電流が端子5と端子6との間に流れるよう供給されると、シリサイドは特に領域12において加熱し、誘電体4と反応し、誘電体4はこれを覆って非導電性化合物を形成する。次に、領域5と領域6との間の抵抗はシリコン領域2のドーピングレベルに連結し、非常に高い値に達する。この状態をプログラムされた状態と呼ぶ。

【0018】ヒューズはこのようにして利用可能である。しかしながら、第1の状態において低い抵抗を示し第2の状態において事実上無限の抵抗を示す通常のヒューズとは逆に、この発明によるヒューズまたは擬似ヒューズは、第1の状態において第1の低い抵抗値を示し、第2の状態においては、特にシリコン領域2のドーピングレベルによって定められる第2のより高い抵抗を示す。

【0019】抵抗が2つの定められた値の間で変動し得るこのような擬似ヒューズでは、当業者が思い至るいくつかの応用が可能である。双安定ラッチのパワーオンの際に双安定ラッチの定められた状態を確立するためのこのような擬似ヒューズの可能な応用例は以下に一例としてのみ示される。

【0020】図2は、そのような応用の第1の例を示す。ブロック20は双安定ラッチを示し、双安定ラッチの第1の分岐は高い電源 $V_{cc}$ と接地Gとの間に接続され、この発明によるヒューズ21が介在する。第2の分岐もまた、端子 $V_{cc}$ と端子Gとの間に接続され、値Rの抵抗器22が介在する。この値Rは、ヒューズがブランク状態にあるとヒューズ抵抗の値R<sub>F1</sub>より高くなるように選択され、ヒューズがプログラムされているとヒューズ抵抗の値R<sub>F2</sub>より低くなるように選択される。スイッチT1、たとえばNチャネルMOSトランジスタは、端子 $V_{cc}$ と端子Gとの間のヒューズ21と直列に配置される。そのため、電圧が端子 $V_{cc}$ と端子Gとの間に印加される場合、スイッチT1がターンオンするとヒューズ21がプログラムされた状態に切り換わる。

【0021】ラッチ20はヒューズ21および抵抗器22の値が等しくないため、均衡を失っている。電圧が端子 $V_{cc}$ に印加されるにつれ、最も低い抵抗を有するラッチの分岐に関連のあるキャパシタは他の分岐のそれよりも速く充電する。そのため、ヒューズ21が抵抗R<sub>1</sub>より低い抵抗を有する場合、この抵抗に関連のある分岐は最初に充電し、ラッチは第1の状態をとる。逆の場合、ラッチは第2の状態をとる。

【0022】示されている特定の例では、双安定ラッチ20はSRAMタイプのものである。第1の分岐は、NチャネルMOSトランジスタN1と直列に接続するPチャネルMOSトランジスタP1を含む。第2の分岐は、NチャネルMOSトランジスタN2と直列に接続するP

チャネルMOSトランジスタP2を含む。トランジスタP2およびN2のゲートはトランジスタP1およびN1の接続ノードAに接続される。トランジスタP1およびN1のゲートはトランジスタP2およびN2の接続ノードBに接続される。電圧 $V_{cc}$ が印加されていない初期の状態においては、ノードAおよびBの電位は0である。電圧 $V_{cc}$ が累進的に増加するにつれ、トランジスタP1およびP2は、ゲートがゼロのレベルにあるPチャネルトランジスタであるため、オンになり、トランジスタN1およびN2の均等のキャパシタは充電する。最も低い抵抗に関連する分岐のノードAまたはBは最も速く充電し、ノードAまたはBにおける電圧がトランジスタのしきい値に達するとすぐに、トランジスタP1またはP2はターンオフし、トランジスタN1またはN2がターンオンし、このことは、抵抗R<sub>2</sub>の値に関する擬似ヒューズ21の抵抗の値に応じて定められた状態をセルに与える。このことで、パワーオンの後に定められた状態に達するSRAMメモリセルを提供する。この状態はいくつかの動作を引き起こすのに用いることができ、たとえば、これらのセルに関連するメモリのラインを阻止する。

【0023】図3は、予めプログラムされたセル状態が変更できる別の回路を示す。図2に関連して既に説明した素子に加えて、図3の回路は、第1の分岐においてPチャネルMOSトランジスタP3を含み、NチャネルMOSトランジスタN3はノードAと接地Gとの間に接続される。トランジスタP3およびN3のゲートはリセット端子Rに接続される。そのため、信号が端子Rに印加されると、トランジスタN3はターンオンし、トランジスタP3はターンオフし、それによってノードAは再び接地に切換えられる。

【0024】当然ながら、この発明では、当業者が容易に思い至るであろうさまざまな変更、修正、および改善があり得る。回路の再プログラミングをする上でのいくつかの選択肢を提供することもでき、図2および図3に示されるもののような他の種類の双安定ラッチを用いてもよい。

【0025】このような変更、修正、および改善はこの開示の一部として意図しており、この発明の精神および範囲内にあるものと意図する。したがって、前述の説明は例証としてのみ与えられており、限定することを意図するものではない。この発明は、以下の特許請求の範囲およびそれに対する均等物によって規定されるという点においてのみ制限される。

【図面の簡単な説明】

【図1】この発明による擬似ヒューズの一実施例の図であり、(A)は平面図であり、(B)は断面図である。

【図2】この発明による擬似ヒューズの応用例を示す図である。

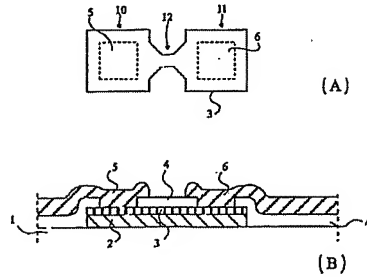
【図3】この発明による擬似ヒューズの応用例を示す図である。

## 【符号の説明】

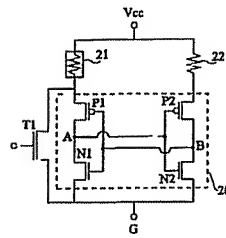
- 1 分離層  
2 ポリシリコン領域  
3 上表面  
4 誘電体  
5 メタライゼーション/コンタクト  
6 メタライゼーション/コンタクト

- 10 外部部分  
11 外部部分  
12 中央部分  
20 ブロック/双安定ラッチ  
21 ヒューズ  
22 抵抗器

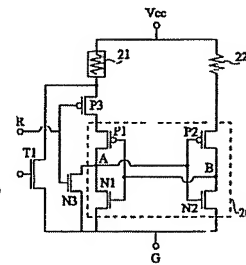
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 アレクサンダー・カルニツスキー  
アメリカ合衆国、94116 カリフォルニア  
州、サン・フランシスコ、フォーティサード  
・アベニュー、2601、アパートメント  
204

(72)発明者 リシャル・フェラーン  
フランス国、38330 サン・イスミエ、ア  
レ・ドゥ・ブラブテ、45

## PSEUDO-FUSE AND CIRCUIT USING PSEUDO-FUSE

Patent number: JP10340663 (A)

Publication date: 1998-12-22

Inventor(s): KALNITSKY ALEXANDER; FERRANT RICHARD + (KALNITSKY ALEXANDER, ; FERRANT RICHARD)

Applicant(s): ST MICROELECTRON SA + (ST MICROELECTRON SA)

Classification:

- international: H01L21/768; H01L21/82; H01L23/525; H03K3/356; H01L21/70; H01L23/52; H03K3/00; (IPC1-7): H01H85/04; H03K3/356

- european: H01L21/768C8B; H01L23/525F

Application number: JP19980054824 19980306

Priority number(s): FR19970002951 19970307

Abstract of JP 10340663 (A)

**PROBLEM TO BE SOLVED:** To provide a first low resistance condition and a second higher resistance condition, and switch a condition to the second condition from the first condition when an electric current passes by including a polysilicon area coated with a silicide area of an upper surface between two contacts. **SOLUTION:** An upper surface 3 of a polysilicon area 2 formed on a separating layer 1 is silicified. First low resistivity can be substantially obtained by high electric conductivity of a silicide area (a first condition). When a high electric current flows between metallization contacts 5 and 6, a resistance between the contacts 5 and 6 is connected to a doping level of the polysilicon area 2, and reaches a very high value (a second condition).; Programming is performed so as to automatically become the first or the second condition when power is turned on according to a condition of a pseudo-fuse.